

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-307405

(43)Date of publication of application : 22.11.1996

(51)Int.Cl.

H04L 7/08

H04J 3/06

(21)Application number : 07-111555

(71)Applicant : NEC ENG LTD

(22)Date of filing : 10.05.1995

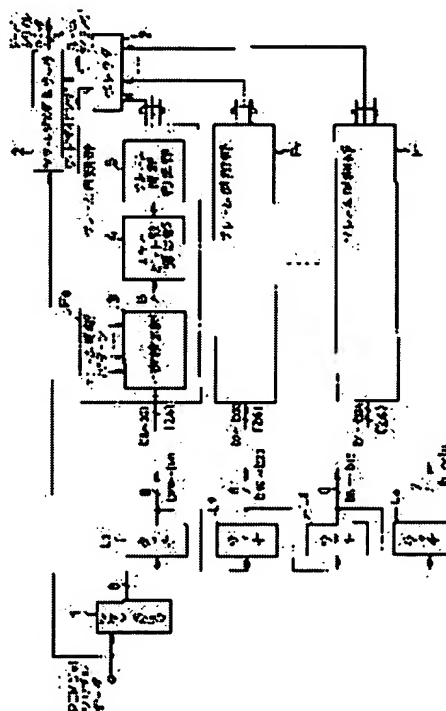
(72)Inventor : HOSHINO TETSUO

(54) FRAME SYNCHRONISM DETECTION DEVICE

(57)Abstract:

PURPOSE: To provide a frame synchronism detection device which can detect a frame synchronism pattern of the PCM serial data by means of a slow CMOS element and with no use of a fast ECL element.

CONSTITUTION: The PCM bit serial data are converted into the 1-word/8-bit word serial data by an 8-bit shift register 1. Then the word serial data undergo the sequential word shift through the word latches L1 to L4 and are fetched in every word by these latches. All parallel bits b1 to b31 of latches L1 to L4 are shifted by one bits and every 24 bits of the frame synchronous pattern length and then divided into 8 pairs of bit lengths (b1 to b24, b2 to b25,..., b8 to b31). These 8 pairs of bit patterns are inputted to the frame synchronism parts F1 to F8 respectively, and a frame synchronism pattern is detected. Thus it is possible to detect the frame synchronism at a speed of 1/8 bit rate of the PCM serial data.



LEGAL STATUS

[Date of request for examination] 27.09.1999

[Date of sending the examiner's decision of rejection] 08.07.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-307405

(43) 公開日 平成8年(1996)11月22日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 7/08			H 0 4 L 7/08	A
H 0 4 J 3/06			H 0 4 J 3/06	A

審査請求 未請求 請求項の数 2 O L (全 6 頁)

(21) 出願番号 特願平7-111555

(22) 出願日 平成7年(1995)5月10日

(71) 出願人 000232047

日本電気エンジニアリング株式会社
東京都港区芝浦三丁目18番21号

(72) 発明者 星野 哲雄

東京都港区芝浦三丁目18番21号 日本電気
エンジニアリング株式会社内

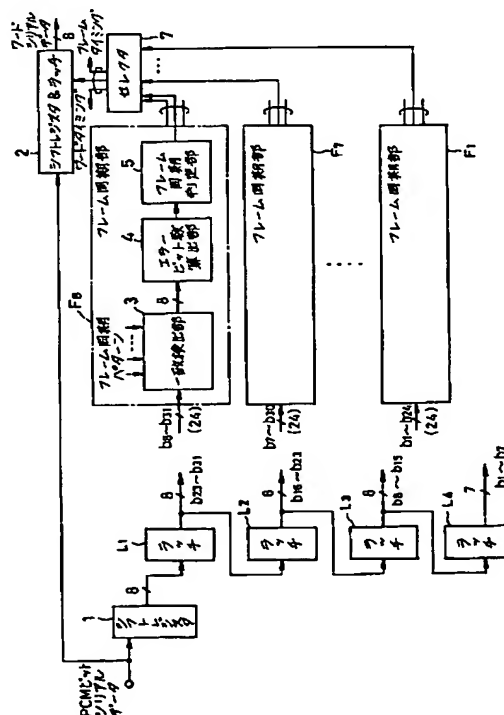
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 フレーム同期検出装置

(57) 【要約】

【目的】 PCMシリアルデータのフレーム同期パターン検出を、高速なECL素子を用いることなく低速のCMOS素子で実現可能とする。

【構成】 PCMビットシリアルデータを8ビットシフトレジスタ1にて1ワード8ビットのワードシリアルデータに変換する。このワードシリアルデータをワードラッチL1～L4により順次ワードシフトして各ラッチにワード単位に取込む。これ等ラッチL1～L4の全パラレルビットb1～b31を、フレーム同期パターン長の24ビット毎に1ビットずつずらせて8組のビット長(b1～b24, b2～b25, ..., b8～b31)に区切り、これ等8組のビットパターンを8個のフレーム同期部F1～F8へ夫々入力して同期パターン検出を行う。これにより、PCMシリアルデータのビットレートの1/8の速度でフレーム同期検出を行うことができる。



【特許請求の範囲】

【請求項1】 ビットシリアルに伝送されてくるフレーム情報を監視しつつそれに含まれるフレーム同期パターンを検出するフレーム同期検出装置であって、ビットシリアル入力を1ワード n ビット（ n は2以上の整数）のワードシリアル信号に変換するワードシリアル変換手段と、前記ワードシリアル信号をワード単位に順次ラッチする複数のワードラッチ手段と、前記ラッチ手段の各パラレル出力ビットのうち、前記フレーム同期パターンのビット数に等しいビット数で互いに異なる n 組のビット組み合わせパターンについて夫々基準フレーム同期パターンと比較する n 個の比較手段とを含み、これ等 n 個の比較結果によりフレーム同期を検出するようにしたことを特徴とするフレーム同期検出装置。

【請求項2】 前記ワードシリアル変換手段は、 n ビットのシフトレジスタ構成であることを特徴とする請求項1記載のフレーム同期検出装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はフレーム同期検出装置に関し、特にビットシリアルに伝送されてくるフレーム情報を監視しつつそれに含まれるフレーム同期パターンを検出するフレーム同期検出装置に関するものである。

【0002】

【従来の技術】 PCMビットシリアル信号のフレームの頭出しは、フレームの先頭を示すフレーム同期パターンを検出することにより行われる。従来のこのフレーム同期パターンの検出方法を図3を参照しつつ説明する。図3において、PCMビットシリアル信号はシフトレジスタ1へ入力されて、フレーム同期パターン長のパラレル信号に変換される。

【0003】 このパラレル変換出力は基準となる既知のフレーム同期パターンと一致検出部3にて比較され、その比較結果がエラービット数算出部4へ入力される。このエラービット数算出部4においては、不一致のビット数をエラービットとして計数し、この計数結果をフレーム同期判定部5へ出力する。フレーム同期判定部5では、このエラービット数が予め定められている設定値以上の場合は、同期パターンではないと判定され、次の1ビットだけシフトされたパラレルデータが既知のフレーム同期パターンと比較される。

【0004】 以上の動作が、エラービット数が設定値より小となるまで繰り返して行われ、エラービット数が設定値より小となったときに、フレーム同期判定部5からフレーム同期パターンを検出したことを示す各種のフレームタイミング信号、ワードタイミング信号、ラッチタイミング信号等が生成される。

【0005】 シリアルレジスタ及びラッチ2はPCMビットシリアルデータを順次取り込んでワードシリアルデータに変換するものであり、フレーム同期判定部5によ

りフレーム同期が検出されたとき、正確なワードシリアルデータを以降順次出力するようになっている。

【0006】

【発明が解決しようとする課題】 図3に示した従来のフレーム同期検出装置においては、PCMビットシリアル信号が1ビット入力される毎にフレーム同期判定を行う方式であるために、その判定動作はPCMシリアル信号1ビットの時間間隔以内に行われる必要がある。従って、PCM信号が高速のビットレートを有するものである場合には、極めて高速性を有する例えばECL（エミッタカップルドロジック）素子等により回路を構成する必要があり、高価になるという欠点がある。

【0007】 本発明の目的は、高速のビットレートを有するPCM信号のフレーム同期を検出する場合にも、CMOS等の標準速度で動作する素子の使用を可能としたフレーム同期検出装置を提供することである。

【0008】

【課題を解決するための手段】 本発明によれば、ビットシリアルに伝送されてくるフレーム情報を監視しつつそれに含まれるフレーム同期パターンを検出するフレーム同期検出装置であって、ビットシリアル入力を1ワード n ビット（ n は2以上の整数）のワードシリアル信号に変換するワードシリアル変換手段と、前記ワードシリアル信号をワード単位に順次ラッチする複数のワードラッチ手段と、前記ラッチ手段の各パラレル出力ビットのうち、前記フレーム同期パターンのビット数に等しいビット数で互いに異なる n 組のビット組み合わせパターンについて夫々基準フレーム同期パターンと比較する n 個の比較手段とを含み、これ等 n 個の比較結果によりフレーム同期を検出するようにしたことを特徴とするフレーム同期検出装置が得られる。

【0009】

【作用】 PCMビットシリアルデータをシフトレジスタにより1ワード n ビットのワードパラレルデータに変換し、この変換後のワードパラレルデータによりフレーム同期パターンを検出する。この場合、検出すべきフレーム同期パターンの先頭ビット開始位置が、パラレルデータのどの位置にあるかという不確実性が生じる。この不確実性を除去するために、不確定に現れるパターンの数だけのフレーム同期検出部を設けるようにする。

【0010】 すなわち、1ワード n ビットとして動作速度を $1/n$ に低減するには、PCMビットシリアルデータを1ワード n ビットのワードパラレルデータとし、 n 個のフレーム同期検出部を設けて、これ等 n 個のフレーム同期検出部において、不確定に現れる n 個の同期パターンの検出を同時に行い、動作速度をPCMビットレートの $1/n$ に低減させる。

【0011】

【実施例】 以下、図面を用いて本発明の実施例について説明する。

【0012】図1は本発明の実施例のブロック図であり、図3と同等部分は同一符号にて示されている。尚、本実施例では、同期パターン長が24ビットであり、動作速度をビットレートの1/8に低減させる場合について示す。

【0013】図1において、PCMビットシリアルデータはシフトレジスタ1とシフトレジスタ及びラッチ回路2へ夫々入力される。シフトレジスタ1は8ビット（1ワード）構成とされており、ビットシリアルデータを1ワード8ビットのワードシリアルデータに変換するものである。

【0014】変換されたワードシリアルデータは4段の縦続構成のワードラッチ回路L1～L4へワードシフトが行われて各ワード毎に順次ラッチされることになる。尚、最終段ラッチ回路L4は7ビット構成とされているものとする。各ワードラッチ回路L1～L4にラッチされた各ビットを図2に示す如くラッチ回路L4の先頭ビットから順にb1, b2, b3, ...とすると、最終段ラッチ回路L1の最終ビットはb31となる。

【0015】これ等全てのラッチ回路L1～L4の平行ビットb1～b31において、定期的にフレーム同期パターンが現れるパターン（ビットの組合せ）は、b1～b24, b2～b25, b3～b26, b4～b27, b5～b28, b6～b29, b7～b30, b8～b31の8組である。

【0016】そこで、本発明では、この不確定性（8通りの不確定性）を考慮して、これ等8組の各パターンに夫々対応して8個のフレーム同期部F1～F8を設けている。これ等フレーム同期部F1～F8は全て同一構成であり、図1においては、フレーム同期部F8についてのみその具体例を示しており、図3に示した従来のフレーム同期部（一致検出部3, エラービット数算出部4及びフレーム同期判定部5）と同一構成である。

【0017】これ等各フレーム同期部F1～F8の各種タイミング信号（ラッチタイミング信号, ワードタイミ

ング信号, フレームタイミング信号）はセクタ7にて択一的に導出されてシフトレジスタ及びラッチ回路2等の次段回路へ供給される。セクタ7では、フレーム同期判定部5によりフレーム同期パターンが検出されたフレーム同期部（F1～F8）のタイミング信号を選択するものである。

【0018】尚、図1において、8個のフレーム同期部F1～F8のうちフレーム同期パターンを検出したフレーム同期部の上位8ビット入力がフレーム同期のとれた1ワードを示すことになるので、この1ワードをワードパラレルに外部へ導出するようにしても良いものである。

【0019】

【発明の効果】以上述べた如く、本発明によれば、高速のPCMデータであっても、同期判定の処理速度はPCMデータのビットレートの1/nとすることができるので、ECL素子等の高速で高価な素子を用いることなくCMOS素子を用いることができるので、開発コストの削減、消費電力の削減や、更には高密度化が図れるという効果がある。

【図面の簡単な説明】

【図1】本発明の実施例のブロック図である。

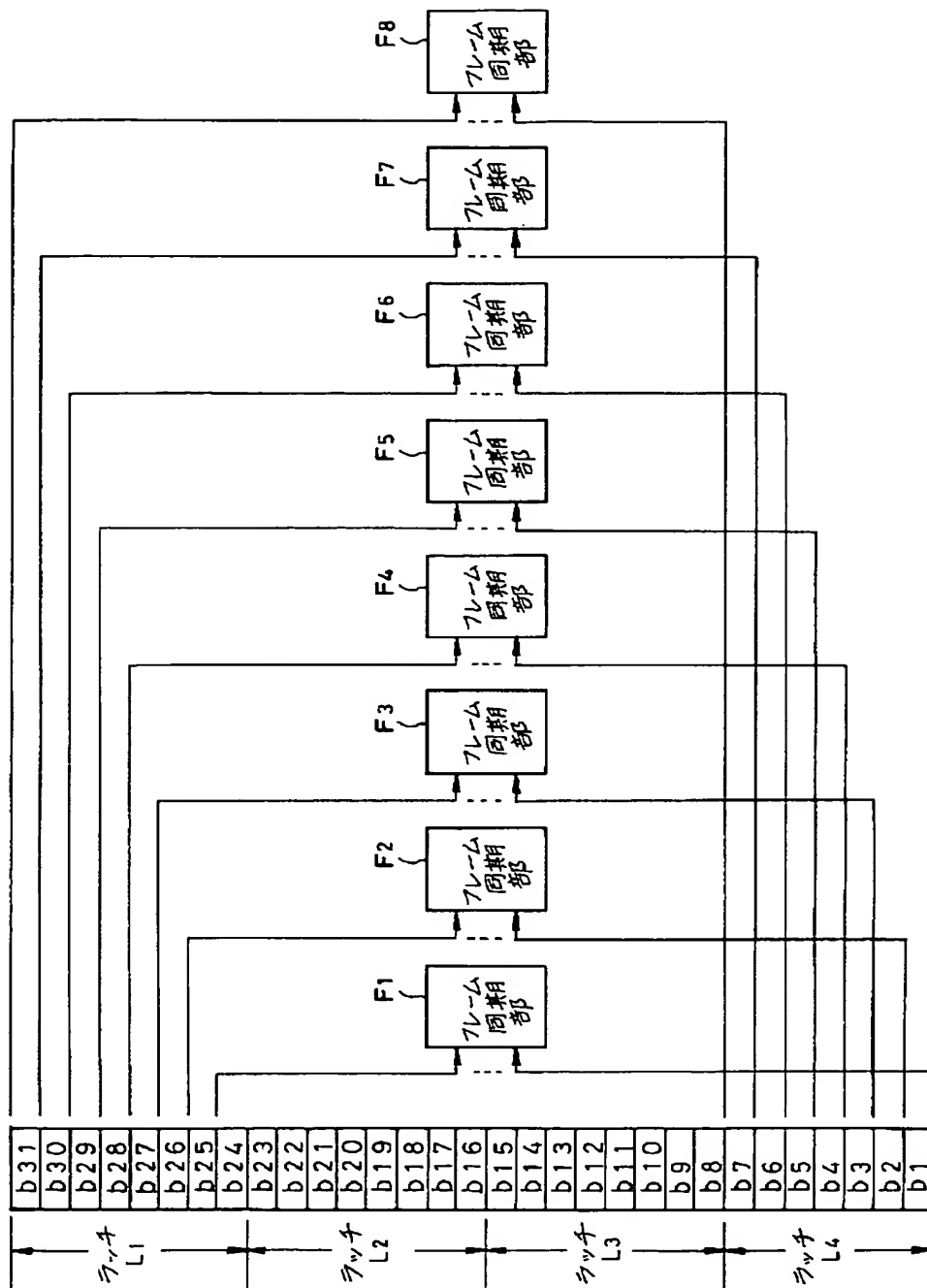
【図2】本発明の実施例の一部詳細を示す図である。

【図3】従来のフレーム同期検出装置のブロック図である。

【符号の説明】

- 1 シフトレジスタ
- 2 シフトレジスタ及びラッチ回路
- 3 一致検出部
- 4 エラービット数算出部
- 5 フレーム同期判定部
- 7 セクタ
- L1～L4 ラッチ回路
- F1～F8 フレーム同期部

【図 2】



【図 3】

